

Architecture des ordinateurs

X510030

Planning prévisionnel, g. 509

Attention : le planning est susceptible de changer au cours du semestre et de varier en fonction des groupes

v. 5, 2016-11-16 CM: 12, TD:20, TP:16

Semaine	CM a	CM b	TD a	TD b	TP a	TP b
36 (05/09-09/09)	CM 1 Représentation de l'information	CM 2 Représentation de l'information				
37 (12-09-16/09)	CM 3 Repr. Information & performances		TD 1 Représentation de l'information		TP 1 Représentation de l'information	
38 (19/09-23/09)	CM 4 Logique et circuits combinatoires		TD 1 Représentation de l'information		TP 1 Représentation de l'information	
39 (26/09-30/09)	CM 5 Circuits séquentiels		TD 2 Performances		TP 2 Circuits combinatoires	
40 (03/10-07/10)	CM 6 Circuits séquentiels		CC TD1 TD 2 Performances		TP 3 Circuits séquentiels	
41 (10/10-14/10)	CM 7 Assembleur MIPS, instructions, chemins de données		TD 3 Circuits combinatoires		TP 3 Circuits séquentiels	
42 (17/10-21/10)	CM 8 Assembleur MIPS, instructions, chemins de données		CC TD2 TD 3 Circuits combinatoires		Projet circuit	
43 (24/10-28/10)	CM 9 Pipeline et caches				Projet circuit	
44 (31/10-04/11)			TD3 Circuits combinatoires TD 4 Circuits séquentiels		TP 4 Assembleur MIPS	
45 (07/11-11/11)			TD 4 Circuits séquentiels		TP 4 Assembleur MIPS	
46 (14/11-18/11)			CC TD 3 TD 5 Assembleur MIPS			
47 (21/11-25/11)			TD 5 Assembleur MIPS	CC TD 4 TD 5 Assembleur MIPS		
48 (28/11-02/12)			TD 5 Assembleur MIPS	TD6 Instructions, assembleur MIPS, chemins de données	TP 4 Assembleur MIPS	TP 4 Assembleur MIPS
49 (05/12-09/12)			TD6 Instructions, assembleur MIPS, chemins de données	CC TD5 Révisions Tds	Évaluation MIPS Évaluation du Projet circuit	