

Travaux Pratiques de Logique

D. DELFIEU

January 12, 2026

Part I

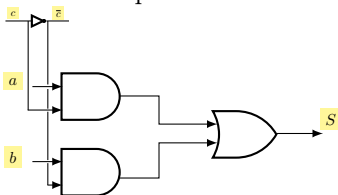
TP LOGIQUE COMBINATOIRE

1 Rédaction du compte rendu

Un compte rendu de travaux pratiques doit faire l'objet d'une introduction, de schémas accompagnés de légendes et de remarques et d'une conclusion générale. Elle peut évoquer les acquis apportés par le TP, les applications industrielles (ou dans la vie courante), les limites, une prise de recul.

2 Prédétermination

Un schéma de prédétermination doit ressembler à :



Il comporte des portes logiques et non des circuits intégrés !

2.1 Introduction

Le but de ces travaux est de se familiariser avec les différents circuits de base de la logique TTL-LS en traitant des exemples simples. Pour réaliser ces différents traitements on utilisera les composants dont la documentation est fournie en annexe. Ces travaux pratiques s'appuient sur la théorie de la logique combinatoire notamment sur les notions de décodeur et de mise en forme d'une expression logique en terme d'opérateurs spécifiques (**Exclusive-OR**, **NAND**). Il y a 2 points accordés à la présentation.

2.2 Prédétermination

Pour cette étude il sera adjoint une représentation logique sous forme de portes logiques.

2.3 Décodeur 2/4

Donner des schémas de réalisation d'un décodeur 2/4. Un des montages utilisera le **74LS138** et l'autre des portes **AND**, **NOT**.

2.4 Générateur de parité

Après avoir étudié l'annexe I :

- Etablir l'équation logique d'un générateur de parité à 3 entrées.
- Dessiner le montage avec des portes **AND**, **OR** et **NOT**, puis faire de même avec des portes **Exclusive-OR**.
- Etablir l'équation logique d'un circuit de détection d'erreur de parité à 4 entrées (a,b,c, parité)
- Réaliser le montage avec des portes **Exclusive-OR**
- Dans quel cas peut on mettre en défaut le détecteur ?

2.5 Additionneur

Donner la *Table de Karnaugh* et les équations de la somme et de la retenue en **Exclusive-OR** d'un additionneur complet.

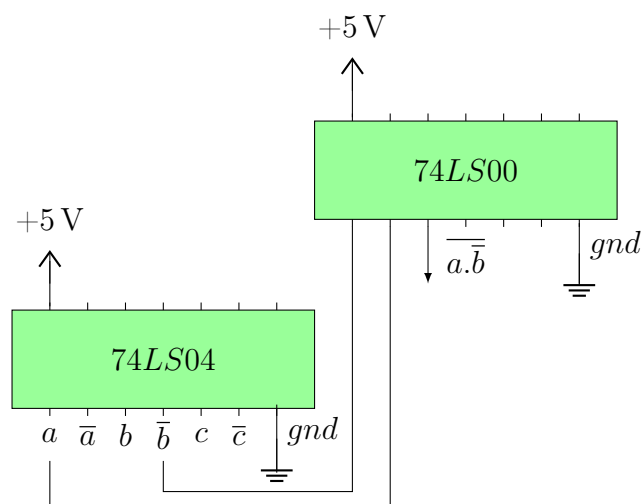
3 MANIPULATION

Faites ressortir distinctement les entrées-sorties des montages sur la plaquette de simulation. En cas de dysfonctionnement, faites vérifier vos montages par le responsable du laboratoire.

Exemple de rédaction d'un schéma de manipulation

Dans la partie manipulation, les schémas en portes sont remplacés par des schémas en composants. Pour chaque composant :

- Il comporte toutes les connections (V_{cc} , **Gnd**, LED , ...),
- de plus, toute connection doit comporter un label ex $a\bar{b}$.
- Il devra ressembler à :



Dans la partie manipulation, tout montage doit être accompagnée de commentaires et des remarques qui s'y rattachent :

- Donnez aussi la méthode de validation du (des) résultat(s)
- Limite ou défaut du montage
- Utilisation possible du montage

Liste des composants

Vous disposez des composants suivant :

- 3 * 74LS00 , 1 * 74LS04 , 2 * 74LS08
- 1 * 74LS32 , 1 * 74LS86 , 1 * 74LS138

Vérifier votre liste et identifier les fonctions logiques associées aux composants.

3.1 Montage 1 : DECODEUR 2/4

Réaliser le montage du décodeur en portes AND , OR et NOT.

3.2 Montage 2 : Générateurs de parité et circuit de détection d'erreurs

- Réaliser le générateur de parité avec :
 - Montage 2.1 : Composés de portes AND, OR, NOT.
 - Montage 2.2 : Ne comportant qu'un seul circuit intégré

NB : On peut optimiser le montage en posant $F = a.\bar{b} + \bar{a}.b$

- Montage 2.3 : Circuit de détection d'erreur de parité et tester son fonctionnement (cf annexes).

3.3 Montage 4 : Additionneur complet

- Etablir $F = a_i \oplus b_i$ en NAND,
- Donnez les équations de r_{i+1} et S_i en NAND en fonction de a_i , b_i , r_i et F .
- Réaliser en NAND et tester cet additionneur complet 1 bit.

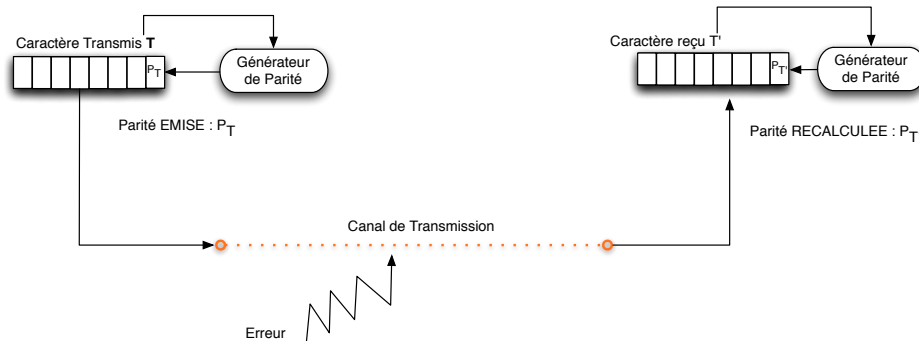
Annexe I : Générateur de parité

La probabilité d'une erreur dans le traitement, l'enregistrement ou la transmission d'informations numériques est faible mais non nulle. On peut utiliser pour pallier à ces erreurs des codes permettant de détecter les erreurs voir de les corriger de façon automatique.

Un moyen de détecter une erreur dans la transmission d'un caractère (7 bits en ASCII) est de connaître et de transmettre sa parité. Avant la transmission, on ajoute aux 7 bits de données un bit qui représente la parité : 1 (resp. 0) si le nombre de bits à un est impair (resp pair). Cela donne un octet : 7 bits de data + 1 bit de parité.

Exemple :

Il y a erreur si P_T , la parité transmise calculée sur le caractère T, n'est pas égale à la parité re-calculée $P_{T'}$, calculée sur le caractère reçu T'.



Annexe II : Datasheets

National Semiconductor June 1989

54LS00/DM54LS00/DM74LS00 Quad 2-Input NAND Gates

General Description
This device contains four independent gates each of which performs the logic NAND function.

Features
■ Alternate Military/Aerospace device (54LS00) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram

Dual-In-Line Package

Order Number 54LS00DMQB, 54LS00FMB, 54LS00MQB, DM54LS00J, DM54LS00W, DM74LS00M or DM74LS00N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$Y = \overline{AB}$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H = High Logic Level
L = Low Logic Level

National Semiconductor June 1989

54LS04/DM54LS04/DM74LS04 Hex Inverting Gates

General Description
This device contains six independent gates each of which performs the logic INVERT function.

Features
■ Alternate Military/Aerospace device (54LS04) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram

Dual-In-Line Package

Order Number 54LS04DMQB, 54LS04FMB, 54LS04MQB, DM54LS04J, DM54LS04W, DM74LS04M or DM74LS04N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$Y = \overline{A}$

Input	Output
A	Y
L	H
H	L

H = High Logic Level
L = Low Logic Level

54LS08/DM54LS08/DM74LS08 Quad 2-Input AND Gates

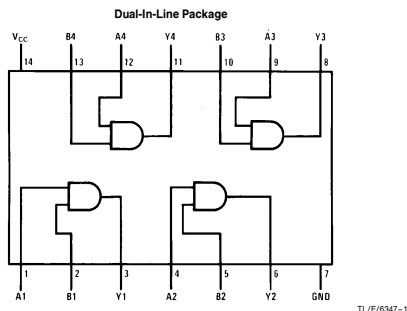
General Description

This device contains four independent gates each of which performs the logic AND function.

Features

- Alternate Military/Aerospace device (54LS08) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Order Number 54LS08DMQB, 54LS08FMB, 54LS08LMB, DM54LS08J, DM54LS08W, DM74LS08M or DM74LS08N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$Y = AB$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = High Logic Level
L = Low Logic Level

54LS32/DM54LS32/DM74LS32 Quad 2-Input OR Gates

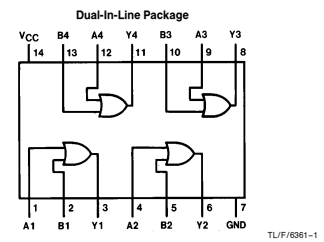
General Description

This device contains four independent gates each of which performs the logic OR function.

Features

- Alternate Military/Aerospace device (54LS32) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Order Number 54LS32DMQB, 54LS32FMB, 54LS32LMB, DM54LS32J, DM54LS32W, DM74LS32M or DM74LS32N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$Y = A + B$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = High Logic Level
L = Low Logic Level

DM74LS86

Quad 2-Input Exclusive-OR Gate

General Description

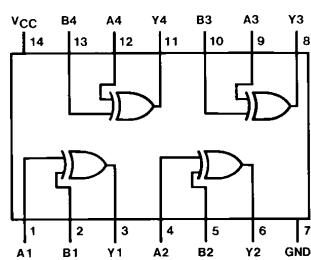
This device contains four independent gates each of which performs the logic exclusive-OR function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS86M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS86SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS86N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = A \oplus B = \bar{A}B + A\bar{B}$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

DM74LS86 Quad 2-Input Exclusive-OR Gate



March 1998

DM74LS138, DM74LS139 Decoders/Demultiplexers

General Description

These Schottky-clamped circuits are designed to be used in high-performance memory-decoding or data-routing applications, requiring very short propagation delay times. In high-performance memory systems these decoders can be used to minimize the effects of system decoding. When used with high-speed memories, the delay times of these decoders are usually less than the typical access time of the memory. This means that the effective system delay introduced by the decoder is negligible.

The LS138 decodes one-of-eight lines, based upon the conditions at the three binary select inputs and the three enable inputs. Two active-low and one active-high enable inputs reduce the need for external gates or inverters when expanding. A 24-line decoder can be implemented with no external inverters, and a 32-line decoder requires only one inverter. An enable input can be used as a data input for demultiplexing applications.

The LS139 comprises two separate two-line-to-four-line decoders in a single package. The active-low enable input can be used as a data line in demultiplexing applications.

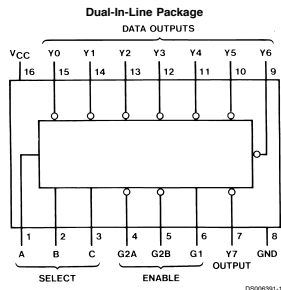
All of these decoders/demultiplexers feature fully buffered inputs, presenting only one normalized load to its driving circuit.

All inputs are clamped with high-performance Schottky diodes to suppress line-ringing and simplify system design.

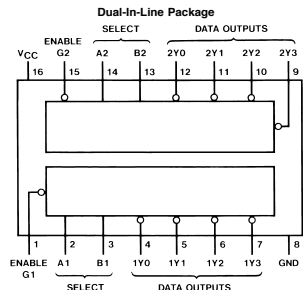
Features

- Designed specifically for high speed:
 - Memory decoders
 - Data transmission systems
- LS138 3-to-8-line decoders incorporates 3 enable inputs to simplify cascading and/or data reception
- LS139 contains two fully independent 2-to-4-line decoders/demultiplexers
- Schottky clamped for high performance
- Typical propagation delay (3 levels of logic)
 - LS138 21 ns
 - LS139 21 ns
- Typical power dissipation
 - LS138 32 mW
 - LS139 34 mW
- Alternate Military/Aerospace devices (54LS138, 54LS139) are available. Contact a Fairchild Semiconductor Sales Office/Distributor for specifications.

Connection Diagrams



Order Number 54LS138DMQB, 54LS138FMQB,
54LS138LMQB, DM54LS138J, DM54LS138W,
DM74LS138M or DM74LS138N
See Package Number E20A, J16A,
M16A, N16E or W16A
Dual-In-Line Package



Order Number 54LS139DMQB, 54LS139FMQB,
54LS139LMQB, DM54LS139J, DM54LS139W,
DM74LS139M or DM74LS139N
See Package Number E20A, J16A,
M16A, N16E or W16A

DM74LS138, DM74LS139 Decoders/Demultiplexers

'LS139 Switching Characteristics

at $V_{CC} = 5V$ and $T_A = 25^\circ C$

Symbol	Parameter	From (Input) To (Output)	$R_L = 2\text{ k}\Omega$				Units
			$C_L = 15\text{ pF}$		$C_L = 50\text{ pF}$		
			Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	Select to Output		18		27	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	Select to Output		27		40	ns
t_{PLH}	Propagation Delay Time Low to High Level Output	Enable to Output		18		27	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	Enable to Output		24		40	ns

Function Tables LS138

Inputs			Outputs							
Enable		Select								
G1	G2 (Note 8)	C B A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X X X	H	H	H	H	H	H	H	H
L	X	X X X	H	H	H	H	H	H	H	H
H	L	L L L	L	H	H	H	H	H	H	H
H	L	L L L	L	H	H	H	H	H	H	H
H	L	L L L	L	H	H	H	H	H	H	H
H	L	L L L	L	H	H	H	H	H	H	H
H	L	L L L	L	H	H	H	H	H	H	H
H	L	L L L	L	H	H	H	H	H	H	H
H	L	L L L	L	H	H	H	H	H	H	H
H	L	L L L	L	H	H	H	H	H	H	H
H	L	L L L	L	H	H	H	H	H	H	H
H	L	L L L	L	H	H	H	H	H	H	H
H	L	L L L	L	H	H	H	H	H	H	H
H	L	L L L	L	H	H	H	H	H	H	H

H = High Level, L = Low Level, X = Don't Care
Note 8: $G2 = G2A + G2B$

LS139

Inputs			Outputs			
Enable	Select					
G	B	A	Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

H = High Level, L = Low Level, X = Don't Care

Part II

TP LOGIQUE SEQUENTIELLE

1 Rédaction du compte rendu

Dans la partie manipulation, tous les montages doivent être accompagnés de commentaires :

- Procédure de test
- Limite ou défaut du montage
- Utilisation possible du montage

Tous schéma de manipulation comporte toutes les connections (V_{cc} , Gnd , $LED, \dots$), de plus, toute connection doit comporter un label ex $Q_0\overline{Q_1}$.

Un compte rendu de travaux pratiques doit faire l'objet d'une conclusion générale. Elle peut évoquer les acquis apportés par le TP, les applications industrielles (ou dans la vie courante), les limites, une prise de recul.

2 Prédétermination

2.1 Introduction

Le but de cette manipulation est de se familiariser avec les différents circuits de logique séquentielle de type JK, RS et D ainsi que de compteurs programmables sur des exemples simples : Compteur à cycle quelconque et diviseurs de fréquence.

2.2 PRÉDÉTERMINATION

2.2.1 Compteur à cycle quelconque

On utilise quatre bascules JK (74LS73) pour la réalisation d'un compteur à cycle quelconque 4 bits (Q_0, Q_1, Q_2, Q_3). La séquence à réaliser est la suivante :

0, 8, 12, 14, 7, 11, 13, 6, 3, 9, 4, 10, 5, 2, 1, 0

- Donner la table des entrées de la bascule JK
- Donner le tableau où sont représentés les états Q_i ainsi que les entrées J_i et K_i en fonction de chaque pas du compteur
- Donner les équations simplifiées des J_i et K_i : Au lieu de poser $J_i = K_i$ ¹, on pourra choisir de simplifier en posant $K_i = \overline{J_i}$ ce qui donnera des équations plus simples ! Dans ce cas on calcule d'abord l'équation de J_i puis on pose $K_i = \overline{J_i}$
- Donner le schéma complet du compteur
- Implanter un circuit de décodage de la combinaison interdite. Ce circuit permettra de remettre le compteur dans son cycle si par erreur cette combinaison apparaît.

¹Comme on l'a vue en TD

2.2.2 Grafcet

Rechercher sur internet ce que représente un *Grafcet*. Rédiger alors avec vos propres mots, un résumé des principes de base (min 1 page, max 2 pages).

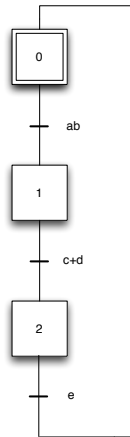


Figure 1: Grafcet

Réaliser ce grafcet à partir de bascules **RS** et de portes **AND** et **OR**.

3 MANIPULATION

- Faites ressortir distinctement les entrées/sorties des montages sur la plaquette de simulation.
- Faites vérifier vos montages par un des intervenants de travaux pratiques
- Représenter sur votre compte-rendu le câblage complet (tel que vous l'avez réalisé) des boîtiers pour chaque application, dans vos schémas labelliser les liaisons.

3.1 Liste de composants

Vous disposez des composants :

- 1 * **74LS04** , 1 * **74LS08** , 1 * **74LS32** , 1 * **74LS86**
- 2 * **74LS73** , 1 * **74LS74**

Vérifier votre liste de composants et énumérez les fonctions qu'ils réalisent.

3.2 Compteur à cycle quelconque

Attention sur les cartes *TP* logique dernière génération, les **74LS73** doivent être placée sur les emplacements où les V_{cc} et **Gnd** ne sont pas connectés. C'est à dire sur les deux supports en haut et à droite.

- Câblez le compteur sans la détection de combinaison interdite ;
- Établir un processus pour vérifier le fonctionnement du compteur sur toute la séquence.

- Câblez le compteur avec la détection de combinaison interdite ; Concernant la combinaison interdite, on peut minimiser l'emploi de portes, en utilisant un **OR** à la place d'un **et** et d'un **NOT** : Expliquer ?

NB : On utilisera le générateur de signaux Gbf comme horloge.

3.3 Diviseur de fréquences

- Concevoir et réaliser un diviseur de fréquence par 2 et 4 à l'aide de la bascule **74LS74** .
- Vérifier votre montage à l'aide d'un générateur de signaux.

3.4 Conclusion

Résumer les points importants du TP. Puis trouver les définitions sur internet et en faire un résumé des notions suivantes :

- Sortance
- Entrance
- Set up time

Annexe II : Datasheets

National Semiconductor

June 1989

54LS04/DM54LS04/DM74LS04 Hex Inverting Gates

General Description

This device contains six independent gates each of which performs the logic INVERT function.

Features

- Alternate Military/Aerospace device (54LS04) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram

Dual-In-Line Package

TL/F/8345--1

Order Number 54LS04DMQB, 54LS04MQB, 54LS04MQB, DM54LS04J, DM54LS04W, DM74LS04M or DM74LS04N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$$Y = \bar{A}$$

Input	Output
A	Y
L	H
H	L

H — High Logic Level

L — Low Logic Level

54LS04/DM54LS04/DM74LS04 Hex Inverting Gates

National Semiconductor

June 1989

54LS08/DM54LS08/DM74LS08 Quad 2-Input AND Gates

General Description

This device contains four independent gates each of which performs the logic AND function.

Features

- Alternate Military/Aerospace device (54LS08) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram

Dual-In-Line Package

TLFF/0347-1

Order Number 54LS08DMQB, 54LS08FMOB, 54LS08MQB, DM54LS08J, DM54LS08W, DM74LS08M or DM74LS08N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

Y = AB

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = High Logic Level

L = Low Logic Level

54LS08/DM54LS08/DM74LS08 Quad 2-Input AND Gates

©1989 National Semiconductor Corporation TLFF/0347

DS02-064444-01 Rev. 1.0

54LS32/DM54LS32/DM74LS32 Quad 2-Input OR Gates

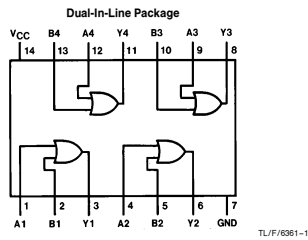
General Description

This device contains four independent gates each of which performs the logic OR function.

Features

- Alternate Military/Aerospace device (54LS32) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Function Table

$Y = A + B$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = High Logic Level
L = Low Logic Level

54LS32/DM54LS32/DM74LS32 Quad 2-Input OR Gates

DM74LS86 Quad 2-Input Exclusive-OR Gate

General Description

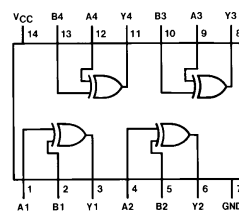
This device contains four independent gates each of which performs the logic exclusive-OR function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS86M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS86SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS86N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$Y = A \oplus B = \bar{A}B + A\bar{B}$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

DM74LS86 Quad 2-Input Exclusive-OR Gate

SN5473, SN54LS73A, SN7473, SN74LS73A DUAL J-K FLIP-FLOPS WITH CLEAR

SDLS118 – DECEMBER 1983 – REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

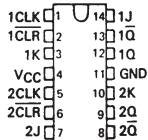
The '73, and 'H73, contain two independent J-K flip-flops with individual J-K, clock, and direct clear inputs. The '73, and 'H73, are positive pulse-triggered flip-flops. J-K input is loaded into the master while the clock is high and transferred to the slave on the high-to-low transition. For these devices the J and K inputs must be stable while the clock is high.

The 'LS73A contains two independent negative-edge-triggered flip-flops. The J and K inputs must be stable one setup time prior to the high-to-low clock transition for predictable operation. When the clear is low, it overrides the clock and data inputs forcing the Q output low and the $\bar{Q}$ output high.

The SN5473, SN54H73, and the SN54LS73A are characterized for operation over the full military temperature range of -55°C to 125°C . The SN7473, and the SN74LS73A are characterized for operation from 0°C to 70°C .

SN5473, SN54LS73A . . . J OR W PACKAGE
SN7473 . . . N PACKAGE
SN74LS73A . . . D OR N PACKAGE

(TOP VIEW)



'73
FUNCTION TABLE

INPUTS				OUTPUTS	
CLR	CLK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	$\downarrow$	L	L	Q_0	$\bar{Q}_0$
H	$\downarrow$	H	L	H	L
H	$\downarrow$	L	H	L	H
H	$\downarrow$	H	H	TOGGLE	

'LS73A
FUNCTION TABLE

INPUTS				OUTPUTS	
CLR	CLK	J	K	Q	$\bar{Q}$
L	X	X	X	L	H
H	$\downarrow$	L	L	Q_0	$\bar{Q}_0$
H	$\downarrow$	H	L	H	L
H	$\downarrow$	L	H	L	H
H	$\downarrow$	H	H	TOGGLE	
H	H	X	X	Q_0	$\bar{Q}_0$

FOR CHIP CARRIER INFORMATION,
CONTACT THE FACTORY

FAIRCHILD
SEMICONDUCTOR™

August 1986
Revised March 2000

DM74LS74A Dual Positive-Edge-Triggered D Flip-Flops with Preset, Clear and Complementary Outputs

General Description

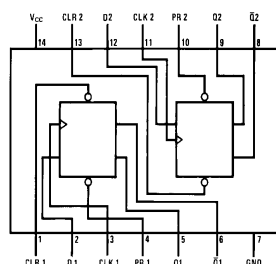
This device contains two independent positive-edge-triggered D flip-flops with complementary outputs. The information on the D input is accepted by the flip-flops on the positive going edge of the clock pulse. The triggering occurs at a voltage level and is not directly related to the transition time of the rising edge of the clock. The data on the D input may be changed while the clock is LOW or HIGH without affecting the outputs as long as the data setup and hold times are not violated. A low logic level on the preset or clear inputs will set or reset the outputs regardless of the logic levels of the other inputs.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS74AM	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS85ASJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS74AN	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

Inputs				Outputs	
PR	CLR	CLK	D	Q	$\bar{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H (Note 1)	H (Note 1)
H	H	$\uparrow$	H	H	L
H	H	$\uparrow$	L	L	H
H	H	L	X	Q_0	$\bar{Q}_0$

H = HIGH Logic Level
X = Either LOW or HIGH Logic Level
L = LOW Logic Level
 $\uparrow$ = Positive-going Transition
 Q_0 = The output logic level of Q before the indicated input conditions were established.

Note 1: This configuration is nonstable; that is, it will not persist when either the preset and/or clear inputs return to their inactive (HIGH) level.

© 2000 Fairchild Semiconductor Corporation DS006373

www.fairchildsemi.com

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

**TEXAS
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1988, Texas Instruments Incorporated

1